



Partial English Translation of Office Action

Mailed Date: July 17, 2007

NOTICE OF REJECTION

Application Number: 2002-378628

Issuing Date: July 12, 2007

Examiner in charge: Masaya TONOKAWA 4055 5B00

Agent: Akinori SAKAI

Applied Art: Art 29, paragraph 2, and Art 36

The present invention stands rejected by the reasons described below. The statutory period for reply to this office action is set to expire 60-day from the mailing date of this action.

Reasons

[2] The invention according to the claims, listed hereinafter, of the present application should not be granted a patent under the provision of Patent Law Section 29 (2) as a person of ordinary skill in the art to which the invention pertains could have easily arrived at the invention based on the prior art described in the publications, listed hereinafter, that were available to the public by distribution within Japan and/or a country other than Japan and/or by a telecommunication means prior to the filing of the present application.

Note (refer to List of Cited References for cited references)

Regarding claims 1-10:

Cited references: Reference 1, Reference 2

Remarks:

A. Reference 1 discloses a data processing apparatus that stores at least one vector address in an built-in ROM (corresponding to the "first storage area" of the present invention) constituted of an electrically deletable and writable nonvolatile memory device, and stores, in an built-in RAM, at least one alternate vector address of the vector address(es) in the built-in ROM. The data processing apparatus further includes a CPU capable of accessing the built-in ROM and the built-in RAM, a control signal (corresponding to the "flag" of the present invention) indicating the state of deleting or writing of the built-in ROM, and an address converting circuit (corresponding to the "interrupt-vector address-conversion circuit" of the present invention) that converts, based on the control signal, an address signal output from the CPU for accessing a vector-address storage area in the built-in ROM into an address signal for accessing a vector-address storage area in the built-in RAM.

Reference 1 differs from the present invention on the grounds that the former does not include two or more storage areas that are independently deletable and writable electrically.

However, Reference 2 cites a microcomputer that includes a partially deletable and rewritable EEPROM, divides the address area of the EEPROM into two areas, and changes a program counter value to an address of a region A (corresponding to the "second storage area" of the present invention) to execute interrupt processing when an interrupt occurs during program rewriting of a region B of the EEPROM (corresponding to the "first storage area" of the present invention).

Further, Reference 1 and Reference 2 belong to the common technical field of a single-chip microcomputer having an electrically rewritable nonvolatile memory, and have the common function of performing interrupt processing during rewriting of the nonvolatile memory. Therefore, one of ordinary skill in the art could have easily conceived, by applying the two-area divided EEPROM of Reference 2 to Reference 1, the configuration of the data processing apparatus of Reference 1 to include the EEPROM instead of the built-in ROM and the built-in RAM, store at least one vector address in the first storage area, and store, in the second storage area, at least one alternate vector address of the vector address in the first storage area.

B. Since the address converting circuit of Reference 1 converts an address of the vector-address storage area "0000 0000 xxxx xxxx" in the built-in ROM into an address of the vector-address storage area "1111 1111 xxxx xxxx" in the built-in RAM, one of ordinary skill in the art could have easily conceived the configuration in which a plurality of registers set with addresses that indicate the storage location of each of the alternate interrupt vectors is provided in the address converting circuit, thereby obtaining the configuration of "outputting an address that is set in the register corresponding to the interrupt vector address accessed by a central processing unit" recited in the present invention.

C. One of ordinary skill in the art could have easily conceived the configuration in which the address converting circuit is provided with registers set with an offset (e.g., "1111 1100 0000 0000") for the address indicating the storage location of the alternate interrupt vector corresponding to the address indicating the storage location of the interrupt vector, thereby obtaining the configuration in which "a value obtained by adding the offset quantity set in the register to the interrupt vector address accessed by the central processing unit is output" recited in the present invention.

D. The address converting circuit of Reference 1 "is formed of a gate circuit and a built-in ROM/built-in RAM selecting circuit", which corresponds to "the conversion circuit comprises hardware that performs a predetermined conversion operation" recited in the present invention.

E. The address converting circuit of Reference 1 performs a conversion operation during the state of deleting or writing of the flash memory in a user program mode or a boot program mode, which corresponds to "the conversion circuit performs a predetermined conversion operation based on a setting by a software" recited in the present invention.

F. The data processing device of Reference 1 is "a single-microchip computer including the built-in ROM, the CPU, and the address converting circuit that are formed on a single semiconductor substrate," which corresponds to "the nonvolatile memory,

the central processing unit, the flag, and the interrupt vector address conversion circuit are integrated on a same semiconductor chip" recited in the present application.

G. Reference 1 discloses an address map in which a non-maskable interrupt (NMI) processing routine RA (corresponding to the "interrupt program" of the present invention) and a vector address NMIA indicating a start address of the NMI processing routine RA are stored in the address space A of the flash memory (corresponding to the "first storage area" of the present invention), and a NMI processing routine RB (corresponding to the "alternate interrupt program" of the present invention) accessed during rewriting of the flash memory and a vector address NMIB (corresponding to the "alternate interrupt vector") indicating a start address of the NMI processing routine RB are stored in the built-in RAM (corresponding to the "second storage area" of the present invention).

H. One of ordinary skill in the art could have easily conceived, from the address map of Reference 1, the configuration of the present invention in which the interrupt program is stored in the second storage area.

List of Cited References

Reference 1: Japanese Patent Application Laid-Open No. H08-278895

Reference 2: Japanese Patent Application Laid-Open No. H09-282181

拒絶理由通知書

期限 9月15日

特許出願の番号	特願 2002-378628
起案日	平成19年 7月12日
特許庁審査官	殿川 雅也 4055 5B00
特許出願人代理人	酒井 昭徳 様
適用条文	第29条第2項、第36条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

〔1〕この出願は、特許請求の範囲及び発明の詳細な説明の記載が下記の点で、特許法第36条第4項及び第6項第2号に規定する要件を満たしていない。

記

請求項4に記載の「前記第1の記憶領域内の、前記中央処理装置からアクセスされた割り込みベクタを含む領域と、前記第2の記憶領域内の、対応する代替え割り込みベクタを含む領域とが入れ替わるように、アドレス変換をおこなう」とは、アドレスのマッピングの変更により実現するのか、該領域間の割り込みベクタを含むデータの入れ替えにより実現するのか不明確であって、また、本願明細書の発明の詳細な説明（例えば、【0026】段落を参照。）又は図面中（例えば、第7図を参照。）に、当業者が請求項に係る発明を実施できる程度に発明が開示されていない。

よって、この出願の発明の詳細な説明は、当業者が請求項に係る発明を実施できる程度に明確かつ十分に記載されておらず、請求項4に係る発明は明確ではない。

〔2〕この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

[請求項] 1-10

[引用文献] 1, 2

[備考]

A. 請求項1, 4に係る発明について

引用文献1には、電氣的に消去可能な及びプログラム可能な不揮発性記憶装置によって構成される内蔵ROM（本願発明の「第1の記憶領域」に相当。）に1乃至複数のベクタアドレスを格納し、内蔵RAMに内蔵ROMのベクタアドレスを代替する1乃至複数のベクタアドレスを格納し、前記内蔵ROM及び内蔵RAMをアクセスできるCPUと、前記内蔵ROMの消去又は書込状態を示すコントロール信号（本願発明の「フラグ」に相当。）と、コントロール信号に基づいて、CPUから出力されるベクタアドレス格納エリアをアクセスするためのアドレス信号を、内蔵RAMのベクタアドレス格納エリアをアクセスするためのアドレス信号に変換するアドレス変換回路（本願発明の「割り込みベクタアドレス変換回路」に相当。）を備えたデータ処理装置が記載されている。

引用文献1に記載の発明は、独立して電氣的に消去および書き込みを行うことができる2以上の記憶領域を有していない点で本願発明と相違する。

しかしながら、引用文献2には、部分的に消去、書き換え可能なEEPROMを備え、EEPROMのアドレス領域を2つに分割し、EEPROMのアドレス領域B（本願発明の「第1の記憶領域」に相当。）のプログラム書き換え処理が実行されている間に割り込みが発生すると、プログラムカウンタの値をアドレス領域A（本願発明の「第2の記憶領域」に相当。）のアドレスに変更して割り込み処理を実行するマイクロコンピュータが記載されている。

そして、引用文献1と引用文献2は、電氣的に書き換え可能な不揮発性メモリを有した1チップ・マイクロコンピュータという共通の技術分野に属し、不揮発性メモリの書き換え中に割り込みを実行するという共通の機能を有しているから、引用文献1に記載の発明に引用文献2に記載の2つの領域に分割されたEEPROMを適用して、引用文献1に記載のデータ処理装置について、内蔵ROMおよび内蔵RAMに替えてEEPROMを備え、第1の記憶領域に1乃至複数のベクタアドレスを格納し、第2の記憶領域に前記第1の記憶領域に格納されたベクタアドレスを代替する1乃至複数のベクタアドレスを格納するように構成することは、当業者ならば容易に推考し得ることである。

B. 請求項2, 5に係る発明について

引用文献1に記載のアドレス変換回路は、内蔵ROMのベクタアドレス格納エリアのアドレス「0000 0000 x x x x x x x x」を、内蔵RAMの

ベクタアドレス格納エリアのアドレス「1 1 1 1 1 1 0 0 x x x x x x x x」に変換するものであるから、この記載に基づいて、アドレス変換回路に代替え割り込みベクタのそれぞれの格納場所を示すアドレスを設定した複数のレジスタを設け、本願発明の「中央処理装置からアクセスされた割り込みベクタアドレスに対応するレジスタに設定されたアドレスを出力する」構成とすることは、当業者ならば容易に想到し得るものである。

C. 請求項3に係る発明について

上述したBにおいて既に検討したとおり、アドレス変換回路に割り込みベクタの格納場所を示すアドレスに対する代替え割り込みベクタの格納アドレスを示すアドレスのオフセット量（例えば、「1 1 1 1 1 1 0 0 0 0 0 0 0 0 0 0」。）を設定したレジスタを設け、本願発明の「中央処理装置からアクセスされた割り込みベクタアドレスに、前記レジスタに設定されたオフセット量を加算して出力する」構成とすることは、当業者ならば容易に想到し得るものである。

D. 請求項6に係る発明について

引用文献1に記載のアドレス変換回路は「ゲート回路及び内蔵ROM／内蔵RAM選択回路より構成」されている点で、本願発明の「所定の変換動作を行うハードウェアで構成」に相当する。

E. 請求項7に係る発明について

引用文献1に記載のアドレス変換回路は「ユーザプログラムモード又はブートプログラムモードにおけるフラッシュメモリの消去又は書き込み状態」であるときに変換動作を行う点で、本願発明の「ソフトウェアによる設定に従って」変換動作を行うことに相当する。

F. 請求項8に係る発明について

引用文献1に記載のデータ処理装置が「内蔵ROM、CPU、アドレス変換回路を一つの半導体基板に形成したシングルチップ・マイクロコンピュータである」ことは、本願発明の「不揮発性メモリ、中央処理装置、フラグおよび割り込みベクタアドレス変換回路は、同一半導体チップ上に設けられている」ことに相当する。

G. 請求項9に係る発明について

引用文献1には、フラッシュメモリ（本願発明の「第1の記憶領域」に相当。）のアドレス空間AにNMI（ノンマスカブル割り込み）処理ルーチンRA（本願発明の「割り込みプログラム」に相当。）及びNMI処理ルーチンRAの先頭アドレスを示したベクタアドレスNMI A（本願発明の「割り込みベクタ」に相当。）が格納され、内蔵RAM（本願発明の「第2の記憶領域」に相当。）に、

フラッシュメモリの書き換え時にアクセスされるNMI処理ルーチンRB（本願発明の「代替え割り込みプログラム」に相当。）及びNMI処理ルーチンRBの先頭アドレスを示したベクタアドレスNMIB（本願発明の「代替え割り込みベクタ」に相当。）が格納されたアドレスマップについて記載されている。

H. 請求項10に係る発明について

上述したGにおいて既に検討したとおり、引用文献1に記載のアドレスマップを、本願発明の「第2の記憶領域」に割り込みプログラムを格納するように構成することは、当業者ならば容易に想到し得ることである。

拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

引用文献等一覧

1. 特開平08-278895号公報

（【0039】-【0040】，【0046】，【0057】，【0068】-【0071】，【0080】，【0084】-【0090】，【0107】-【0108】段落、第1図、第4図、第5図、第10図）

2. 特開平09-282181号公報

（【0002】-【0005】段落、第1図）

先行技術文献調査結果の記録

・調査した分野 G06F9/46

・先行技術文献

特開平09-114678号公報

特開2000-276358号公報

特開平08-320796号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知書についてのお問い合わせ、または面接のご希望がございましたら下記までご連絡ください。

整理番号:0241706 発送番号:352276 発送日:平成19年 7月17日 5/E

TEL: 03(3581)1101 内線3544

FAX: 03(3501)0737